

# 1.2kV SiC MOSFET 器件 URS 应力退化机理研究

黄 宇,刘斯扬,顾春德,马荣晶,孙伟锋

(东南大学国家 ASIC 工程中心,江苏南京 210096)

**摘 要:** 本文首次研究了 1.2kV 碳化硅(Silicon Carbide, SiC) MOSFET 在非钳位重复应力(Unclamped Repetitive Stress, URS)应力下的退化现象,并通过软件仿真和电荷泵测试技术对该现象进行了深入的分析. 研究表明:URS 应力会使得器件积累区由于碰撞电离产生大量的电子空穴对,其中的热空穴将在电场的作用下注入到氧化层中,使氧化层中出现许多空间正电荷,这些空间正电荷的存在使得器件的导通电阻与阈值电压出现下降,关态漏电流出现上升.

**关键词:** 碳化硅; 功率 MOSFET; 非钳位重复应力; 退化

**中图分类号:** TP368.1      **文献标识码:** A      **文章编号:** 0372-2112 (2016)01-0130-05

**电子学报 URL:** <http://www.ejournal.org.cn>      **DOI:** 10.3969/j.issn.0372-2112.2016.01.019

## The Degradation Mechanism for 1.2kV SiC MOSFET Under Unclamped Repetitive Stress

HUANG Yu, LIU Si-yang, GU Chun-de, MA Rong-jing, SUN Wei-feng

(National ASIC System Engineering Technology Research Center, Southeast University, Nanjing, Jiangsu 210096, China)

**Abstract:** The degradation behavior for 1.2kV Silicon Carbide (SiC) MOSFET under unclamped repetitive stress (URS) has been firstly investigated in detail by the analysis of two-dimensional device simulations and charge pumping measurements. It has been shown that, when the device is under URS condition, the electric field and impact ionization in the accumulation region become sufficiently large, so as to generate numerous hot holes. These avalanched-generated hot holes will be injected and trapped into the gate oxide above the accumulation region, resulting in an initial decrease of the on-state resistance and threshold voltage, as well as an increase in drain-source leakage current.

**Key words:** silicon carbide; power MOSFET; URS (unclamped repetitive stress); degradation

## 1 引言

碳化硅(Silicon Carbide, SiC)作为一种新型的宽禁带半导体材料,以其优良的物理化学性质成为制造高温、大功率电子器件中最具优势的半导体材料. 用 SiC 材料制成的功率 MOSFET(金属氧化物半导体场效应管, Metal Oxide Semiconductor Field Effect Transistor)与同类型的硅(Si)基 MOSFET 相比,不仅具有更小的导通电阻和开关速度,还具有更好的热稳定性. 虽然经过 20 年的研究与发展, SiC MOSFET 已经成功实现了量产,但是其市场化进程还比较缓慢,2013 年其全球市值还不到 4 亿美元,相关产品也只应用于太阳能发电等

少数领域<sup>[1]</sup>. SiC MOSFET 之所以到目前为止市场占有率还不高,一方面是由于其价格昂贵,另一方面是由于 SiC MOSFET 的可靠性还缺乏比较全面的研究和验证<sup>[2,3]</sup>.

自 SiC MOSFET 的成品出现以来,其可靠性研究中一个最为关注的问题就是栅氧化层的稳定性. 因为 SiC MOSFET 中 SiC/SiO<sub>2</sub> 界面的势垒较低<sup>[4]</sup>, 当其长时间处于高栅压应力条件下时,位于 SiC/SiO<sub>2</sub> 交界处附近的氧化层陷阱非常容易俘获沟道中的电子,从而导致器件的阈值发生漂移. 后来研究表明,如果在栅氧化层形成后加入在一氧化氮(NO)环境中退火这一步骤,就能有效降低界面态以及氧化层陷阱的数量,从而提高器件

的可靠性<sup>[5-7]</sup>.然而 SiC MOSFET 在实际应用中不只在高栅压应力下工作,还会在接感性负载的工作过程中遭遇电感电流的冲击,针对这一问题的研究目前还主要集中于单一电流脉冲(Unclamped Inductive Switching, UIS)下的器件极限能力分析<sup>[8]</sup>,而对于非钳位重复应力(Unclamped Repetitive Stress, URS)下的器件参数退化研究到目前为止却鲜见报道.

为了填补这项研究空白,本文首次展现了 1.2kV SiC MOSFET 在 URS 应力下的参数退化现象,并通过软件仿真和电荷泵 (Charge Pumping, CP) 测试这两种手段揭示了参数退化的内在机理.

## 2 器件结构

本次研究所用 SiC MOSFET 器件的剖面结构如图 1 所示,其耐压与电流能力分别为 1200V 和 20A. 结构中 N 型外延层的厚度与浓度分别为 12 $\mu\text{m}$  和  $9 \times 10^{15} \text{cm}^{-3}$ ,沟道区与积累区的宽度分别为 0.5 $\mu\text{m}$  和 4 $\mu\text{m}$ ,栅氧化层厚度为 50nm, N+ 与 P+ 的浓度与阱深分别为  $5 \times 10^{19} \text{cm}^{-3}$  和 0.2 $\mu\text{m}$ , P-body 的阱深为 0.9 $\mu\text{m}$ . 其中 P-body 通过多次硼离子注入形成,其底部浓度较高约为  $7 \times 10^{17} \text{cm}^{-3}$ ,表面沟道处浓度较低约为  $4 \times 10^{16} \text{cm}^{-3}$ ,这样的浓度分布使得器件在保证阈值的前提下又有效地防止了器件的穿通. 并且该结构中 N+ 与 P+ 被源极金属短接起来,这样可以在一定程度上防止寄生三极管的开启.

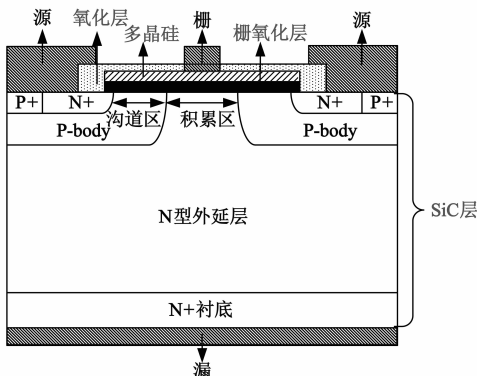


图1 SiC MOSFET的剖面结构图

## 3 测试方法

### 3.1 应力退化测试

URS 应力测试电路如图 2 所示,其中电感大小为 2mH,所加电源电压为 100V. 应力过程中 FPGA 以及驱动芯片向待测管的栅极提供若干个 0 ~ 15V 的脉冲信号,当栅开启时,电感充电,漏端电流逐渐上升,当关断时,电感中的能量耗散在待测管中,漏端电流迅速降为

0. 应力期间待测管栅源电压 ( $V_{gs}$ )、漏源电压 ( $V_{ds}$ ) 和漏源电流 ( $I_d$ ) 的波形如图 3 所示,从中可以看出当待测管开启时,  $I_d$  几乎是线性上升的,因此  $I_d$  峰值的大小可以通过选择适当的脉冲宽度来控制. 本次实验中脉冲宽度设为 160 $\mu\text{s}$ ,对应的  $I_d$  峰值为 15A,并且为了不让器件在 URS 应力下发生热击穿,脉冲间隔设置为 5ms.

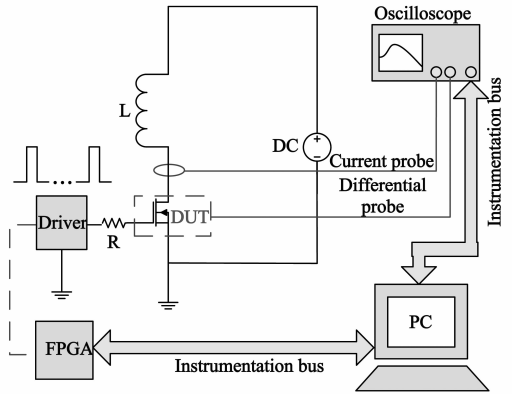


图2 URS应力测试电路图

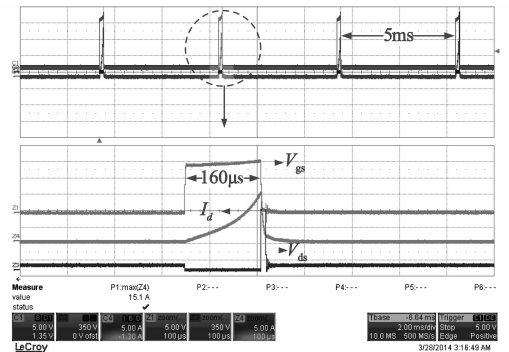


图3 URS应力期间的各项器件参数波形

### 3.2 电荷泵测试方法

电荷泵 (Charge Pumping, CP) 测试技术是目前研究 MOSFET 退化中最有效的一种技术手段,通过该技术可以准确直接地测出界面态的数量及其分布. 传统的 CP 测试是通过监测衬底电极的电流来测出界面态的数量,因此就需要待测管有栅、源、漏以及衬底这四个端口. 而我们研究的 SiC MOSFET 只有三个电极 (即栅、源、漏),因此实验中使用了一种新型的三端口 CP 测试方法来研究器件的退化<sup>[9,10]</sup>. 三端口 CP 测试原理如图 4 所示,测试时源端接地,信号发生器向栅端提供若干个幅度 ( $V_p$ ) 相等、基准电压 ( $V_b$ ) 逐渐升高的脉冲信号,同时通过电流表观测漏端电流的变化. 当栅压低于 N 型外延层的反型电压时,空穴从 P+ 流向外延表面,形成空穴积累,其中有一部分就会被界面态俘获. 当栅压高于 N 型外延层平带电压但低于沟道阈值电压时,漏端的电子会流向外延表面,这其中有一部分与界面态中的空穴发生复合,也有一部分被界面态俘获,当栅压

再次低于 N 型外延层的反型电压时,之前流向外延表面的电子并没有全部返回漏端,因此一个脉冲周期漏极有净电流产生,并且其数值  $I_{cp}$  为负值. 图 5 为器件在保持  $V_p = 6V$  时通过变化  $V_B$  得到的 CP 曲线,图中  $I_{cp}$  峰值反映了积累区表面界面态的数量,而  $I_{cp}$  重新回归零点时对应的  $V_B$  则反映了 N 型外延层反型电压的大小.

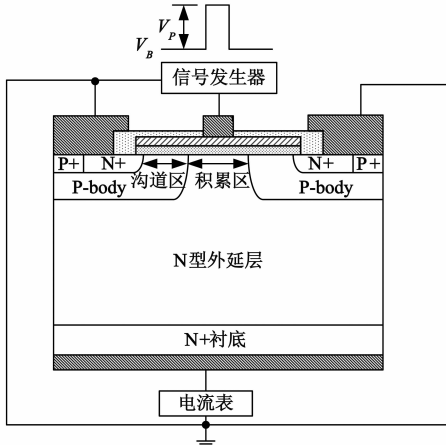


图4 三端口CP测试原理图

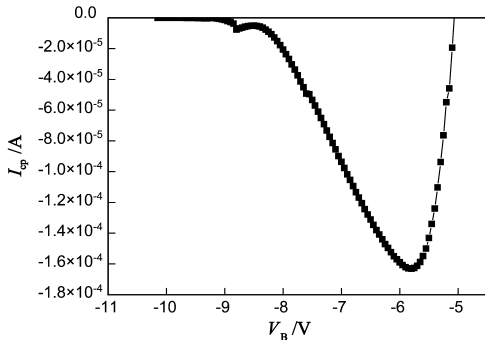


图5 三端口SiC MOSFET的CP测试曲线

### 4 测试结果与讨论

图 6 为 SiC MOSFET 在电流峰值为 15A 的 URS 应力下,阈值电压(定义为漏源电压  $V_{ds} = 10V$ ,漏源电流  $I_D = 10mA$  时对应的栅源电压)和导通电阻(定义为栅源电压  $V_{gs} = 20V$ ,漏源电流  $I_D = 20A$  时对应的漏源电阻)随灌电流次数(即栅极脉冲个数)变化的测试结果. 从图中可以看出,器件的导通电阻和阈值电压随着灌电流次数的增加先下降再上升. 而图 7 显示的是不同应力强度对器件关态漏电流影响的测试结果. 由图可知,随着灌电流次数的增加,器件的关态漏电流(当漏压位于 800V ~ 1650V 之间时)将随之增大,而击穿电压则维持不变.

根据文献[11,12],由于硅与铝的热膨胀系数不同,在周期性的灌电流应力下传统 Si 器件的源极金属铝就会产生裂缝与缺陷,因而在 URS 应力下其导通电阻是逐

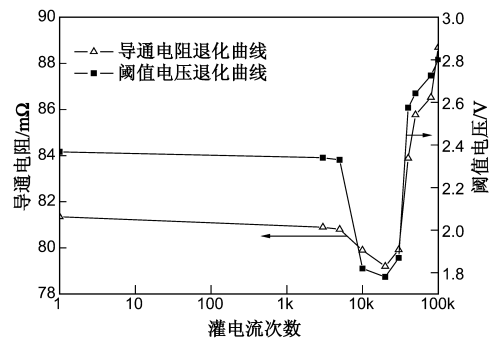


图6 器件导通电阻与阈值电压的退化曲线

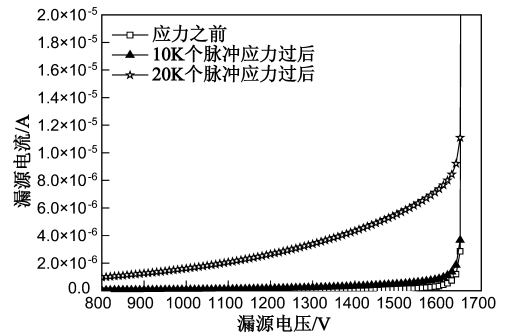


图7 不同应力强度对器件关态( $V_{gs}=0V$ )漏电流的影响

渐上升的. SiC MOSFET 中的碳化硅材料与源极金属的热膨胀系数也是不同的,所以对于图 6 中导通电阻和阈值电压最终上升的现象是可以理解的(由于实验中我们对阈值电压的定义是与漏源电流相关的,因此导通电阻的变化能够影响到阈值电压的变化),然而图 6 也显示导通电阻与阈值电压在应力一开始发生了下降,所以该器件在 URS 应力下必然存在一种新的退化机理.

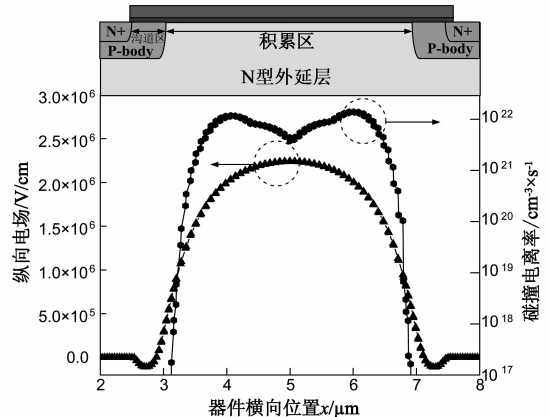


图8 灌电流应力下SiC/SiO<sub>2</sub>界面处的碰撞电离率与纵向电场分布

为了揭示这一退化机理,我们首先使用仿真软件对器件进行了灌电流条件下的仿真. 图 8 为灌电流应力下沿 SiC/SiO<sub>2</sub> 界面处的纵向电场与碰撞电离率分布的仿真结果,其中电场正方向定义为由器件体内指向

表面的方向. 从图中可以看出积累区表面的纵向电场强度以及碰撞电离率都很高, 并且纵向电场的方向是由体内指向表面的, 有利于空穴注入到氧化层中. 所以在灌电流应力下, 由于较高的碰撞电离率, 积累区中产生大量高能量的电子空穴对, 其中电子被漏端收集, 而空穴则在纵向电场的作用下注入到积累区上方的氧化层中并被其中的陷阱俘获, 结果氧化层中就出现了大量的空间正电荷. 因此, 当器件开启时, 积累区能感应出更多的电子, 从而导致器件导通电阻与阈值的下降. 为了说明氧化层中空间正电荷对器件截止态的影响, 我们向积累区上方的氧化层中 (如图 9 (b) 所示) 加入了密度为  $1 \times 10^{18} \text{ cm}^{-3}$  的空间正电荷来进行对比仿真. 图 9 (a) 和图 9 (b) 分别表示无空穴注入与有空穴注入的 SiC MOSFET 在  $V_{gs} = 0\text{V}$ ,  $V_{ds} = 1500\text{V}$  时的等势线分布. 如图所示, 当无空穴注入的器件处于截止态时, 积累区上方的栅电极起到了场板的作用, 沟道区中的等势线分布较疏. 而如果在灌电流应力下器件的氧化层中出现了正电荷, 这些正电荷的存在将削弱场板的作用, 使得沟道区中的等势线分布较密, 沟道漏测的电场较强, 从而使得器件更易于产生漏感应势垒降低效应, 最终导致器件关态漏电流的增大. 图 10 和图 11 分别为不同空穴注入量对器件关态击穿特性及开态 IV 特性影响的仿真结果. 可以看出, 随着空穴注入量的增加, 器件的导通电阻将随之下降, 关态漏电流则将随之上升. 因此可以得出结论, SiC MOSFET 在 URS 应力下出现的导通电阻与阈值下降、关态漏电流上升主要是由

积累区中的空穴注入到氧化层中导致的.

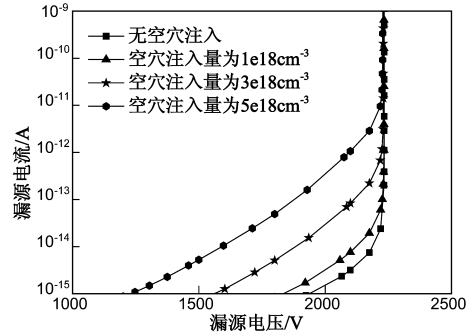


图 10 不同空穴注入量对器件关态 ( $V_{gs} = 0\text{V}$ ) 漏电流影响的仿真结果

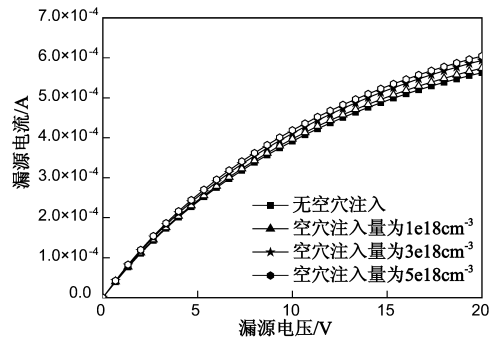
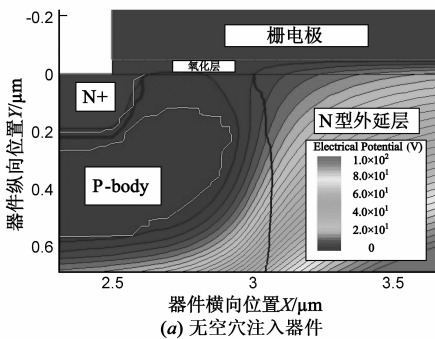
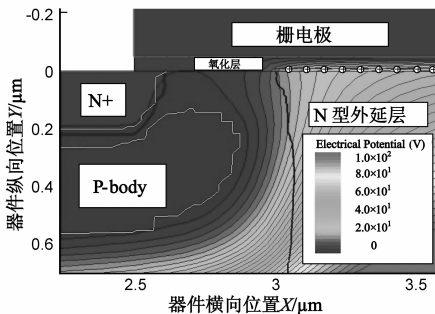


图 11 不同空穴注入量对器件开态 ( $V_{gs} = 15\text{V}$ ) IV 特性影响的仿真结果

为了进一步验证器件在 URS 应力下的退化机理, 我们又进行了 CP 实验. 图 12 表示的是器件在灌电流应力前后的 CP 曲线, 可以看到随着灌电流应力强度的增加, CP 曲线发生了左移并且峰值相对应力前都有所下降. CP 曲线的左移说明积累区中有空穴注入到氧化层中, 从而导致 N 型外延层的反型电压发生了下降, 因此这一现象又进一步验证了对器件退化机理的解释. 而 CP 曲线峰值的下降虽然说明积累区界面态的数目出现了下降, 但是在器件开启时, N 型外延层中的电流只有很少一部分经过积累区表面, 因而积累区的界面态对导通电阻的影响十分有限.



(a) 无空穴注入器件



(b) 空穴注入量为  $1 \times 10^{18} \text{ cm}^{-3}$  的器件在  $V_{gs} = 0\text{V}$ ,  $V_{ds} = 1500\text{V}$  下的等势线分布

图 9

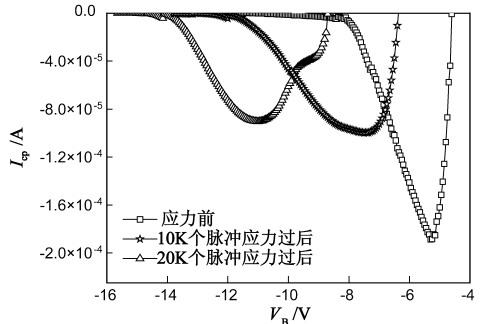


图 12 不同应力强度对器件 CP 曲线的影响

值得注意的是, 如图 12 所示 10K 个脉冲应力过后

CP 曲线漂移了大约 2V, 而图 6 显示的阈值电压却只下降了大约 0.5V, 这两者存在一定差距. 这是因为本次实验中阈值电压的定义是与导电电阻相关的, 而 CP 的曲线的漂移是与积累区反型阈值电压相关的, 虽然积累区阈值电压的变化通过影响导电电阻最终会影响到器件的阈值电压测试值, 但是这两者的物理意义并不完全相同, 因此 CP 曲线漂移量与阈值电压退化值存在一定差距.

## 5 总结

当 SiC MOSFET 处于 URS 应力下时, 随着灌电流次数的增加, 其关态漏电流会随之增大, 导电电阻与阈值电压则会先下降再上升. 导电电阻与阈值电压的上升, 主要是由源极金属在长期应力下产生了金属疲劳导致的. 而本文主要研究的是 SiC MOSFET 在 URS 应力下导电电阻与阈值下降, 关态漏电流上升的退化机理. 研究表明, URS 应力会使积累区的表面产生大量的电子空穴对, 其中空穴将在纵向电场的作用下注入到氧化层中, 使氧化层中出现大量的空间正电荷, 正是这些空间正电荷的存在导致了器件的导电电阻与阈值电压出现下降, 关态漏电流出现上升.

## 参考文献

- [1] Roussel Philippe, Azemar Jerome. Technology, industry and market trends in WBG power module packaging [A]. 8th International Conference on Integrated Power Systems [C]. Nuremberg, Germany, 2014. 1 - 3.
- [2] Krishna Shenai, Michael Dudley, Robert Davis. Rugged electrical power switching in semiconductors: a system's approach [J]. Proceedings of the IEEE, 2014, 102(1): 35 - 52.
- [3] Ranbir Singh. Reliability and performance limitations in SiC power devices [J]. Microelectronics Reliability, 2006, 46(5 - 6): 713 - 730.
- [4] Ranbir Singh, Allen Hefner. Reliability of SiC MOS devices [J]. Solid-State Electronics, 2004, 48(10-11): 1717 - 1720.
- [5] Aivars J Lelis, Daniel Habersat, et al. Time dependence of bias-stress-induced SiC MOSFET threshold-voltage instability measurements [J]. IEEE Trans Electron Devices, 2008, 55(8): 1835 - 1840.
- [6] T Okayama, S Arthur, J Garrett, M Rao. Bias-stress induced threshold voltage and drain current instability in 4H-SiC DMOSFETs [J]. Solid-State Electronics, 2008, 52(1): 164 - 170.

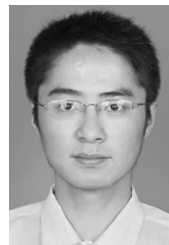
- [7] G Chung, C Tin, et al. Effect of nitric oxide annealing on the interface trap densities near the band edges in the 4H polytype of silicon carbide [J]. Appl Phys Lett, 2000, 76(13): 1713 - 1715.
- [8] Kevin Lawson, Stephen Bayne. Transient performance of SiC MOSFETs as a function of temperature [J]. IEEE Transactions on Dielectrics and Electrical Insulation, 2011, 18(4): 1124 - 1129.
- [9] L Passmore, K Sarpatwari, et al. Modified three terminal charge pumping technique applied to vertical transistor structures [J]. J Vac Sci Technol B, 2005, 23(5): 2189 - 2193.
- [10] Predrag Habas, Zoran Prijic, et al. Charge-pumping characterization of SiO<sub>2</sub>/Si interface in virgin and irradiated power VDMOSFETs [J]. IEEE Trans Electron Devices, 1996, 43(12): 2197 - 2209.
- [11] Antonio Testa, Salvatore De Caro, Sebastiano Russo. A reliability model for power MOSFETs working in avalanche mode based on an experimental temperature distribution analysis [J]. IEEE Trans Power Electronics, 2012, 27(6): 3093 - 3100.
- [12] Olayiwola Alatise, Ian Kennedy, et al. Reliability of repetitively avalanched wire-bonded low-voltage discrete power trench n-MOSFETs [J]. IEEE Trans Device and Materials Reliability, 2011, 11(1): 157 - 163.

## 作者简介



黄宇男, 1990 年 8 月出生, 安徽巢湖人. 2012 年毕业于合肥工业大学电子科学与应用物理学院, 现为东南大学电子科学与工程学院硕士研究生, 主要研究方向为碳化硅功率器件.

E-mail: huangyu2012@hotmail.com



刘斯扬男, 1987 年 5 月出生, 安徽合肥人. 2008 年、2011 年分别在合肥工业大学与东南大学获得学士学位、硕士学位. 现为东南大学电子科学与工程学院博士研究生. 主要研究功率器件的可靠性.

E-mail: liusy2855@163.com